

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    7 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 2 8 3 4 7 9  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 2 8 3 4 7 9 ]

出      願      人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年    8 月 1 9 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫

【書類名】 特許願  
【整理番号】 A000300943  
【提出日】 平成15年 7月31日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/30  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 永野 元  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 水島 一郎  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 の絶縁膜が埋め込まれた S O I 領域と、非 S O I 領域とを有する半導体基板、  
前記半導体基板の前記非 S O I 領域に離間して形成され、素子領域を画定する一对の素子分離絶縁領域、

前記素子分離絶縁領域に接して前記素子領域に形成された一对の不純物拡散領域、および

前記半導体基板上の素子領域にゲート絶縁膜を介して形成されたゲート電極を具備し、

前記半導体基板は、前記 S O I 領域と前記非 S O I 領域との間に、前記第 1 の絶縁膜より膜厚の薄い第 2 の絶縁膜が傾斜をもって埋め込まれた境界領域を有し、前記第 2 の絶縁膜は、前記 S O I 領域側から前記非 S O I 領域側に向けて上昇し、前記第 2 の絶縁膜の膜厚は、前記 S O I 領域側から前記非 S O I 領域側に向けて減少していることを特徴とする半導体装置。

**【請求項 2】**

前記半導体基板の前記境界領域における前記第 2 の絶縁膜は、前記境界領域の幅方向にわたって連続して埋め込まれていることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記半導体基板の前記境界領域における前記第 2 の絶縁膜は、前記境界領域に不連続に形成されていることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 4】**

前記半導体基板における前記境界領域の幅は、 $1 \sim 5 \mu\text{m}$ であることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置。

**【請求項 5】**

前記半導体基板における前記境界領域の前記非 S O I 領域側端部から、前記不純物拡散領域までの距離は、 $0.5 \mu\text{m}$ 以上であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

**【請求項 6】**

前記半導体基板はシリコン基板であることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

**【請求項 7】**

前記第 1 の絶縁膜および前記第 2 の絶縁膜は、シリコン酸化膜からなることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の半導体装置。

**【請求項 8】**

半導体基板の所定の領域にマスクを形成する工程と、  
前記半導体基板の露出領域の表面を等方性エッチングにより除去して凹部を形成し、前記マスクの端部を前記半導体基板上に突出させる工程と、  
前記半導体基板に酸素イオンを注入する工程と、  
前記半導体基板を加熱処理して、前記半導体基板の内部に埋め込み酸化膜を形成するとともに、前記半導体基板の表面に熱酸化膜を形成する工程と、  
前記半導体基板表面の前記熱酸化膜および前記マスクを除去する工程とを具備することを特徴とする部分 S O I 基板の製造方法。

**【請求項 9】**

前記半導体基板の等方性エッチングは、ガスを用いて行なわれることを特徴とする請求項 8 に記載の部分 S O I 基板の製造方法。

**【請求項 10】**

前記ガスは塩酸ガスであることを特徴とする請求項 9 に記載の部分 S O I 基板の製造方法。

**【請求項 11】**

前記酸素イオンは、前記半導体基板の主面に対して垂直に注入されることを特徴とする

請求項 8 ないし 10 のいずれか 1 項に記載の部分 S O I 基板の製造方法。

【請求項 12】

前記酸素イオンは、前記半導体基板の主面に対して斜めに注入されることを特徴とする請求項 8 ないし 10 のいずれか 1 項に記載の部分 S O I 基板の製造方法。

【請求項 13】

前記凹部は、 $0.1 \sim 0.5 \mu\text{m}$  の深さで前記半導体基板の表面に形成されることを特徴とする請求項 8 ないし 12 のいずれか 1 項に記載の部分 S O I 基板の製造方法。

【請求項 14】

半導体基板の所定の領域に酸化膜および窒化膜を順次堆積してマスクを形成する工程と、  
前記半導体基板の露出した表面を熱酸化して、熱酸化膜を形成する工程と、  
前記半導体基板表面の前記熱酸化膜を除去することにより、前記半導体基板の表面に凹部を形成する工程と、  
前記半導体基板に酸素イオンを注入する工程と、  
前記半導体基板を加熱処理して、前記半導体基板の内部に埋め込み酸化膜を形成するとともに、前記半導体基板の表面に熱酸化膜を形成する工程と、  
前記半導体基板表面の前記熱酸化膜および前記マスクを除去する工程と  
を具備することを特徴とする部分 S O I 基板の製造方法。

【請求項 15】

前記酸化膜と窒化膜とを含む前記マスクの端面が同一面にあり、前記酸素イオンは、前記半導体基板の主面に垂直に注入させることを特徴とする請求項 14 に記載の部分 S O I 基板の製造方法。

【請求項 16】

前記半導体基板の露出面に形成された前記熱酸化膜とともに、前記マスクを構成する前記酸化膜の端部を除去して、前記窒化膜端部を突出させ、前記酸素イオンは前記半導体基板の主面に対して斜めに注入されることを特徴とする請求項 14 に記載の部分 S O I 基板の製造方法。

【請求項 17】

前記凹部は、 $0.1 \sim 0.5 \mu\text{m}$  の深さで前記半導体基板の表面に形成されることを特徴とする請求項 14 ないし 16 のいずれか 1 項に記載の部分 S O I 基板の製造方法。

【請求項 18】

半導体基板の所定の領域に酸化膜および窒化膜を順次堆積する工程と、  
前記酸化膜を等方的にエッチングして前記酸化膜の端部を除去し、前記酸化膜の端面に傾斜を設ける工程と、  
前記窒化膜を除去する工程と、  
前記端面に傾斜を有する前記酸化膜をマスクとして、前記半導体基板に酸素イオンを注入する工程と、  
前記半導体基板を加熱処理して、前記半導体基板の内部に埋め込み酸化膜を形成するとともに、前記半導体基板の表面に熱酸化膜を形成する工程と、  
前記半導体基板表面の前記熱酸化膜および前記マスクを除去する工程と  
を具備することを特徴とする部分 S O I 基板の製造方法。

【請求項 19】

前記酸化膜の等方的なエッチングは、ウェットエッチングにより行なわれることを特徴とする請求項 18 に記載の部分 S O I 基板の製造方法。

【請求項 20】

前記酸素イオンは、前記半導体基板の主面に対して垂直に注入されることを特徴とする請求項 18 または 19 に記載の部分 S O I 基板の製造方法。

## 【書類名】明細書

【発明の名称】半導体装置および部分SOI基板の製造方法

## 【技術分野】

【0001】

本発明は、半導体装置および部分SOI基板の製造方法に関する。

## 【背景技術】

【0002】

1つのMOSFETと1つのキャパシタとからなるメモリセルを有するDRAMは、高集積化に適していることから、安価な大容量メモリとして広範な用途に用いられている。特に近年、ロジックとDRAMとを同一の半導体チップに集積してシステム性能を向上するシステムLSIへの要求が高まっている。一方、MOSFETを中心に構成するロジック回路の高性能化を図るため、従来のシリコン基板ではなく、薄膜SOI基板上に形成したSOI MOSFETが脚光をあび、すでに高性能ロジック用途に製品化が始まっている。このような流れの中で、SOIによる高性能ロジックチップにDRAMを混載させたシステムLSIの開発が急務となっている。

【0003】

しかしながら、SOI MOSFETは、通常の使用においてはチャンネルが形成されるボディ領域の電位が浮いているため、次のような問題が生じる。すなわち、いわゆる基板浮遊効果により、回路動作に伴うリーク電流やしきい値などの特性変動を生ずる。したがって、DRAMのセルトランジスタやセンスアンプ回路などのようなリーク電流レベル、しきい値ばらつき、ノイズ等に対する要求が厳しい回路への適用には不向きであった。基板浮遊を根本から解決するには、MOSFETパターンに対しボディ部からの引き出し素子領域とコンタクトとを設けて、ボディ電位を制御する必要がある。この場合には、セル面積やセンスアンプ部の面積などが大幅に増大してしまい、DRAMの最大の特長である高集積性を損なってしまう問題があった。

【0004】

こうした問題を回避するため、SOI基板上に非SOI領域を設けることにより、基板浮遊効果と相性の悪い回路部を非SOI領域に形成する方法（部分SOI）が種々提案されている。そのうちの一つは、図1に示すように、シリコン基板に部分的に酸素イオンを打ち込んで熱処理することにより、部分的に埋め込み酸化膜を形成する方法である（例えば、特許文献1および非特許文献2参照）。まず、図1（a）に示すように、シリコン基板1上の所定の領域に熱酸化膜マスク2を形成する。次いで、この熱酸化膜マスク2を介して、図1（b）に示すように酸素イオン3をシリコン基板1に注入する。その後、熱処理を施すことにより、図1（c）に示すようにシリコン基板1のSOI領域Bに埋め込み酸化膜4が形成される。

【0005】

しかしながら、この方法には、図1（c）に示されるようにいくつかの問題が付随している。埋め込み酸化膜4とシリコン基板1とにおける熱膨張係数の差に起因して、埋め込み酸化膜4の膨張により非SOI領域Aに結晶欠陥12が発生する。このため、非SOI領域Aの品質は、半導体素子を形成するのに十分に高くはない。また、SOI領域Bと非SOI領域Aとの境界には、段差11が生じ、これを平坦化するためのプロセスが別途必要とされる。

【特許文献1】特開平10-303385号公報

【非特許文献1】Symposium on VLSI 2000 p. 66

## 【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで本発明は、薄膜SOI基板上にMOSFETを有する高性能な半導体装置を提供することを目的とする。

【0007】

また本発明は、非SOI領域における欠陥が抑制され、平坦な表面を有する部分SOI基板を簡便に製造する方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様にかかる半導体装置は、第1の絶縁膜が埋め込まれたSOI領域と、非SOI領域とを有する半導体基板、

前記半導体基板の前記非SOI領域に離間して形成され、素子領域を画定する一対の素子分離絶縁領域、

前記素子分離絶縁領域に接して前記素子領域に形成された一対の不純物拡散領域、および

前記半導体基板上の素子領域にゲート絶縁膜を介して形成されたゲート電極を具備し、

前記半導体基板は、前記SOI領域と前記非SOI領域との間に、前記第1の絶縁膜より膜厚の薄い第2の絶縁膜が傾斜をもって埋め込まれた境界領域を有し、前記第2の絶縁膜は、前記SOI領域側から前記非SOI領域側に向けて上昇し、前記第2の絶縁膜の膜厚は、前記SOI領域側から前記非SOI領域側に向けて減少していることを特徴とする。

【0009】

本発明の一態様にかかる部分SOI基板の製造方法は、半導体基板の所定の領域にマスクを形成する工程と、

前記半導体基板の露出領域の表面を等方性エッチングにより除去して凹部を形成し、前記マスクの端部を前記半導体基板上に突出させる工程と、

前記半導体基板に酸素イオンを注入する工程と、

前記半導体基板を加熱処理して、前記半導体基板の内部に埋め込み酸化膜を形成するとともに、前記半導体基板の表面に熱酸化膜を形成する工程と、

前記半導体基板表面の前記熱酸化膜および前記マスクを除去する工程とを具備することを特徴とする。

【0010】

本発明の他の態様にかかる部分SOI基板の製造方法は、半導体基板の所定の領域に酸化膜および窒化膜を順次堆積してマスクを形成する工程と、

前記半導体基板の露出した表面を熱酸化して、熱酸化膜を形成する工程と、

前記半導体基板表面の前記熱酸化膜を除去することにより、前記半導体基板の表面に凹部を形成する工程と、

前記半導体基板に酸素イオンを注入する工程と、

前記半導体基板を加熱処理して、前記半導体基板の内部に埋め込み酸化膜を形成するとともに、前記半導体基板の表面に熱酸化膜を形成する工程と、

前記半導体基板表面の前記熱酸化膜および前記マスクを除去する工程とを具備することを特徴とする。

【0011】

本発明の他の態様にかかる部分SOI基板の製造方法は、半導体基板の所定の領域に酸化膜および窒化膜を順次堆積する工程と、

前記酸化膜を等方的にエッチングして前記酸化膜の端部を除去し、前記酸化膜の端面に傾斜を設ける工程と、

前記窒化膜を除去する工程と、

前記端面に傾斜を有する前記酸化膜をマスクとして、前記半導体基板に酸素イオンを注入する工程と、

前記半導体基板を加熱処理して、前記半導体基板の内部に埋め込み酸化膜を形成するとともに、前記半導体基板の表面に熱酸化膜を形成する工程と、

前記半導体基板表面の前記熱酸化膜および前記マスクを除去する工程とを具備することを特徴とする。

**【発明の効果】****【0012】**

本発明の一態様によれば、薄膜SOI基板上にMOSFETを有する高性能な半導体装置が提供される。また、本発明の他の態様によれば、非SOI領域における欠陥が抑制され、平坦な表面を有する部分SOI基板を簡便に製造する方法が提供される。

**【発明を実施するための最良の形態】****【0013】**

以下、図面を参照して本発明の実施形態を説明する。

**【0014】**

(実施形態1)

図2を参照して、本実施形態にかかる部分SOI基板の製造方法を説明する。

**【0015】**

まず、シリコン基板1上に1000Å程度の膜厚でシリコン熱酸化膜を形成する。シリコン熱酸化膜の膜厚は、酸化ガス種、酸化温度、酸化時間等により適宜選択することができ、500～2000Åの範囲内とすればよい。酸素イオンを注入する予定領域の熱酸化膜をパターニングにより除去して、図2(a)に示すようにシリコン熱酸化膜マスク2を形成する。

**【0016】**

次に、シリコン基板1の露出領域Zを等方性エッチングにより除去して、表面に凹部を形成する。例えば、高温/減圧下でシリコン基板表面に塩酸ガスを吹き付けることによって、等方性エッチングを行なうことができる。このとき、シリコン基板1の露出領域の表面が等方的に除去されるので、熱酸化膜マスク2の端部には、図2(b)に示すようにひし状の突出部2aが形成される。

**【0017】**

例えば、温度900～1000℃、圧力10～30 Torr、塩酸ガス流量＝0.2～0.3slmの条件で、1～5分間エッチングを行なうことによって、0.1～0.5μmの深さでシリコン基板1が削られる。このとき、シリコン基板1の表面は、熱酸化膜マスク2の端部から0.1～0.5μm程度内側まで除去される。

**【0018】**

後の工程において、露出した表面を有するシリコン基板1の領域に絶縁膜が埋め込まれて、SOI領域が形成される。熱酸化膜マスク2に覆われ、かつエッチング除去されていないシリコン基板1の領域は、非SOI領域（バルクSi領域）となる。さらに、SOI領域と非SOI領域との間には、後述する境界領域が形成される。

**【0019】**

シリコン基板1の表面を除去する深さを調整することによって、埋め込み酸化膜を形成した後のSOI領域での基板の盛り上がりや相殺することが可能となる。0.1～0.5μmの深さでシリコン基板1の表面が除去されていれば、その効果が得られる。

**【0020】**

露出領域の表面が除去されたシリコン基板1に対して、図2(c)に示すように、酸素イオン3を照射する。酸素イオン3の照射条件は、例えば、基板温度400～500℃、加速電圧150～180keVで $1 \times 10^{17} \sim 4 \times 10^{17}$  (atoms/cm<sup>2</sup>)とすることができる。

**【0021】**

シリコン基板の主面に対して斜めに酸素イオン3を照射することによって、酸素イオン3は熱酸化膜マスク2の突出部2aの下側（境界領域）にも照射される。ただし、この領域に打ち込まれる酸素イオン3量は、SOI領域よりも少ないものとなる。酸素イオン3を照射する角度は、基板の主面に直交する方向に対して55°程度の角度をもって酸素イオン3を照射すればよい。なお、酸素イオンの照射角度が60°より大きい場合には、熱酸化膜マスク2の突出部2aの下側（境界領域）に照射される酸素イオン3量が少なくなるとおそれがある。したがって、基板の主面に直交する方向に対して50～60°程度の範

囲内となるよう、酸素イオン 3 を照射する角度を調節することが望まれる。

#### 【0022】

その後、シリコン基板 1 を熱処理することによって、酸素イオン 3 が打ち込まれた基板内部の領域には酸化膜が形成される。埋め込み酸化膜の膜厚、および形成される深さは、条件を適宜選択することにより決定することができる。例えば、Ar 雰囲気下、1300℃で4～10時間の熱処理を施した場合には、シリコン基板 1 表面から約300nmの深さに、80nmの膜厚で埋め込み酸化膜が形成される。また、酸素雰囲気下で熱処理を行った場合には、シリコン基板 1 表面から約170nm深さに、約100nmの膜厚で埋め込み酸化膜層を形成することができる。

#### 【0023】

熱処理を行なうことによって、シリコン基板 1 の露出面も酸化されて熱酸化膜（図示せず）が形成される。こうした熱酸化膜を、例えば弗酸等により熱酸化膜マスク 2 とともに除去することによって、図 3 に示すように、シリコン基板 1 内の所定に深さに酸化膜 4 が埋め込まれた部分 SOI 基板を形成することができる。

#### 【0024】

図示する部分 SOI 基板においては、SOI 領域 B では、一定の深さに均一な膜厚の酸化膜（第 1 の埋め込み酸化膜）4a が形成されており、非 SOI 領域 A には酸化膜は形成されていない。また、SOI 領域 B と非 SOI 領域 A との間の境界領域 C においては、傾斜をもった酸化膜（第 2 の埋め込み酸化膜）4b が不連続に埋め込まれている。この境界領域 C では、打ち込まれている酸素イオン 3 量が少ないため、第 2 の埋め込み酸化膜 4b は均一な厚さとならない。その深さも、図示するように、SOI 領域 B から非 SOI 領域 A に向けて徐々に浅くなる。このように境界領域 C における第 2 の埋め込み酸化膜 4b は、曲率をもって形成されているといえる。

#### 【0025】

なお、従来の部分 SOI 基板では、図 1 (c) に示したように、埋め込み酸化膜 4 が形成された SOI 領域 B と非 SOI 領域 A とが隣接している。このため、埋め込み酸化膜 4 の膨張により非 SOI 領域 A に結晶欠陥 12 が発生するという問題があった。これに対して、本発明の実施形態にかかる部分 SOI 基板においては、非 SOI 領域に生じる応力を軽減することができるため、非 SOI 領域に導入される結晶欠陥を抑制することが可能となる。

#### 【0026】

境界領域 C における埋め込み酸化膜 4 の形状は、酸素イオンの注入条件やアニール条件によって調整することができる。例えば、熱処理時間が 5 時間未満と比較的短い場合には、図 3 に示したように埋め込み酸化膜 4 は不連続な形状で形成される。こうした形状の埋め込み酸化膜は、SOI 層上に形成したトランジスタのボディ領域の電位を基板電位で制御できる点で有利である。また、熱処理時間が 8 時間以上と比較的長い場合には、図 4 に示すように連続した形状になる。この場合には、SOI 層上に形成した半導体素子と半導体基板との寄生容量を低減でき素子がより高速動作することができるという利点がある。いずれの形状の場合も、境界領域 C の幅は 1～5 μm であることが好ましい。1 μm 未満の場合には、SOI 領域 B と非 SOI 領域 A との間に境界領域を設けた効果を十分に得ることが困難となる。一方、5 μm を越えると、半導体素子の集積密度が損なわれるおそれがある。なお、境界領域 C の幅は、シリコン基板の除去深さ、酸素イオン 3 の打ち込み角度等により所望の範囲内に制御することができる。

#### 【0027】

また、図 5 に示すように、第 2 の埋め込み酸化膜 4b が、境界領域 C の非 SOI 領域側端部においてシリコン基板 1 の表面に突き抜けていてもよい。こうした構造の場合には、SOI 領域 B および境界領域 C における SOI 層 5 は、第 1 および第 2 の埋め込み酸化膜 4 によってシリコン基板 1 と完全に絶縁されている。そのため、SOI 層 5 上に LOGIC 素子を作製した際には、基板との容量結合が低減されて動作速度が向上する。この場合には、いわゆる SOI ウェーハ上に作製された素子と同様に動作をすることになる。



## 【0028】

一方、図3あるいは図4に示すような構造の場合には、SOI層5とシリコン基板1とは絶縁されていない。このため、例えば、SRAMやDRAMなど基板浮遊効果に弱い素子などをSOI層5上に作製することができる。

## 【0029】

以上のようにSOI層5上に作製する素子に応じて、埋め込み絶縁膜4の形状を適宜決定することができ、得られる素子の特性を十分に引き出すことが可能となる。

## 【0030】

こうして作製された部分SOI基板の非SOI領域（バルクSi領域）A上にMOSトランジスタを形成することによって、本発明の実施形態にかかる半導体装置が得られる。

## 【0031】

図6は、本発明の一実施形態にかかる半導体装置を表わす断面図である。図示するように、部分SOI基板における非SOI領域Aには、約 $1.0\mu\text{m}$ の深さまで $5.0 \times 10^{17}$  (atoms/cm<sup>3</sup>)の濃度で不純物としてのボロンを注入して、p型ウェル21を形成した。さらに、TEOSにより一对の素子分離絶縁膜24を形成して、素子領域を画定した。この素子領域内に、ゲート絶縁膜25を介してゲート電極26を形成し、 $1.0 \times 10^{18} \sim 1.0 \times 10^{20}$  (atoms/cm<sup>3</sup>)の濃度で不純物としてのリンをイオン注入して、n型の拡散層22を形成した。拡散層22の接合深さは $0.2\mu\text{m}$ とし、接合面積は $0.1\mu\text{m}^2$ とした。

## 【0032】

さらに、常法によりソース／ドレイン電極27を形成して、図6に示す半導体装置が完成する。

## 【0033】

本発明の実施形態にかかる半導体装置は、特定形状の埋め込み酸化膜が形成された境界領域を有する部分SOI基板が用いられるので、リーク電流を低減することが可能となる。

## 【0034】

図3乃至5に示したような本発明の実施形態にかかるSOI基板は、種々の方法により製造することができる。

## 【0035】

（実施形態2）

図7を参照して、本実施形態にかかる部分SOI基板の製造方法を説明する。

## 【0036】

まず、シリコン基板1上に $1000\text{\AA}$ のシリコン熱酸化膜2形成し、さらに $1000\text{\AA}$ の窒化シリコン膜6を形成する。窒化シリコン膜8の膜厚は、成膜温度や成膜時間等に応じて適宜選択することができ、 $500 \sim 1500\text{\AA}$ の範囲内とすればよい。なお、すでに説明したように、シリコン熱酸化膜2の膜厚は $500 \sim 2000\text{\AA}$ の範囲内とすればよい。酸素イオンを注入する予定領域の熱酸化膜／窒化シリコン膜をパターンニングにより除去して、図7(a)に示すようにマスクを形成する。

## 【0037】

次に、熱酸化処理を施して、図7(b)に示すように約 $0.2\mu\text{m}$ の熱酸化膜7をシリコン基板1の露出領域Zに形成する。ここで形成される熱酸化膜7は、引き続いて除去されて、シリコン基板1の露出領域表面に凹部が形成される。このため、 $0.2 \sim 1.0\mu\text{m}$ 程度の膜厚で熱酸化膜7が形成されるように、熱酸化の条件を設定することが好ましい。熱酸化膜7の膜厚が $0.2\mu\text{m}$ 未満の場合には、埋め込み酸化膜形成後のSOI層の盛り上がりや相殺するのが難しくなるおそれがある。一方、 $1.0\mu\text{m}$ を越えると、埋め込み酸化膜形成後にSOI領域の表面を非SOI領域の表面と同じ高さにするのが困難になる。

## 【0038】

こうして形成された熱酸化膜7は、例えば弗酸等により図7(c)に示すように除去さ

れる。その結果、シリコン基板 1 の露出領域の表面には凹部が形成される。マスクに接する部分においては、シリコン基板 1 の表面は傾斜をもって除去される。後の工程では、この傾斜部分に特定の形状の酸化膜が埋め込まれて境界領域が形成される。なお、前述の実施形態 1 において説明したように、 $0.1 \sim 0.5 \mu\text{m}$  の深さでシリコン基板 1 の表面が除去されていれば、埋め込み酸化膜を形成した後の S O I 領域での基板の盛り上がりや相殺することが可能となる。

#### 【0039】

露出領域の表面が除去されたシリコン基板 1 に対して、図 7 (d) に示すように、酸素イオン 3 を照射する。酸素イオン 3 の照射条件は、例えば、基板温度  $400 \sim 500^\circ\text{C}$ 、加速電圧  $150 \sim 180 \text{ keV}$  で  $1 \times 10^{17} \sim 4 \times 10^{17} (\text{atoms}/\text{cm}^2)$  とすることができ。

#### 【0040】

ここでは、図 7 (d) に示すように、熱酸化膜 2 および窒化シリコン膜 6 からなるマスクの端面が揃っているため、酸素イオン 3 は、基板 1 表面に対して垂直な方向から注入することができる。

#### 【0041】

なお、基板 1 の露出面に熱酸化膜 7 を形成する際の条件や、この熱酸化膜 7 を除去する際の条件によっては、図 8 (a) に示すように、シリコン熱酸化膜 2 の端部も同時に除去されて、窒化シリコン膜 6 の端部が突出した構造となることがある。この場合には、図 8 (b) に示すように、基板主面に対して斜めの方向から酸素イオン 3 を打ち込むことが望まれる。これによって、基板 1 内部に注入される酸素イオンの量や深さを、所望の範囲に制御することができる。なお、斜めに照射する場合、酸素イオンの角度は、すでに説明したような理由から、基板の主面に直交する方向に対して  $50 \sim 60^\circ$  程度とすることが好ましい。

#### 【0042】

その後、上述したような条件でシリコン基板 1 を熱処理することによって、酸素イオン 3 が打ち込まれた基板内部の所定の領域には酸化膜が形成される。シリコン基板 1 の露出面も酸化されて、熱酸化膜が形成される。この熱酸化膜を、すでに説明したような手法によりマスクとともに除去することによって、図 3 乃至 5 に示したような部分 S O I 基板が作製される。

#### 【0043】

本実施形態の方法により作製された部分 S O I 基板においても、境界領域では、シリコン基板 1 表面がイオン打ち込み方向に対して傾いているため、実施形態 1 の場合と同様の効果が得られる。すなわち、境界領域に打ち込まれている酸素イオン 3 量が少ないため、第 2 の埋め込み酸化膜 4 b は均一な厚さとならない。その深さも、S O I 領域から非 S O I 領域に向けて徐々に浅くなり、曲率をもって埋め込み酸化膜が形成される。このため、非 S O I 領域に生じる応力が軽減され、非 S O I 領域に導入される結晶欠陥を抑制することが可能となる。

#### 【0044】

(実施形態 3)

図 9 を参照して、本実施形態にかかる部分 S O I 基板の製造方法を説明する。

#### 【0045】

まず、シリコン基板 1 上に  $1000 \sim 5000 \text{ \AA}$  の熱酸化膜 2 を形成し、さらに  $1000 \text{ \AA}$  の窒化シリコン膜 6 を形成する。窒化シリコン膜 6 の膜厚は、すでに説明したような範囲内とすることができる。酸素イオンを注入する予定領域の熱酸化膜／窒化シリコン膜をパターンニングにより除去して、図 9 (a) に示すようにマスクを形成する。

#### 【0046】

次に、熱酸化膜 2 を等方的にエッチングして、図 9 (b) に示すように、熱酸化膜 2 の端面に傾斜を設ける。等方性エッチングは、例えば弗酸等を用いたウェットエッチングにより行なうことができる。熱酸化膜 2 の傾斜端部の下方におけるシリコン基板 1 には、後

述するように境界領域が形成される。

#### 【0047】

窒化シリコン膜6を燐酸等により選択的に除去した後、図9(c)に示すように、熱酸化膜2をマスクとして酸素イオン3を照射する。酸素イオン3の照射条件は、例えば、基板温度400～500℃、加速電圧150～180keVで $1 \times 10^{17} \sim 4 \times 10^{17}$  (atoms/cm<sup>2</sup>)とすることができる。酸化膜端部の形状により酸素イオン3を打ち込む量および範囲を制御することから、本実施形態においては、シリコン基板1の主面に対して垂直に酸素イオン3を注入することが好ましい。

#### 【0048】

熱酸化膜2の端部においては、その膜厚が徐々に薄くなっているため、シリコン基板1に注入される酸素イオンの濃度も傾斜をもって変化する。

#### 【0049】

その後、上述したような条件でシリコン基板1を熱処理することによって、酸素イオン3が打ち込まれた基板内部の所定の領域には、図9(d)に示すように酸化膜4が形成される。シリコン基板1の露出面も酸化されて、熱酸化膜8が形成される。この熱酸化膜8を、すでに説明したような手法によりマスク2とともに除去することによって、図3乃至5に示したような部分SOI基板が作製される。

#### 【0050】

本実施形態の方法により作製された部分SOI基板においても、境界領域では、シリコン基板1表面がイオン打ち込み方向に対して傾いているため、実施形態1の場合と同様の効果が得られる。すなわち、境界領域に打ち込まれている酸素イオン3量が少ないため、第2の埋め込み酸化膜4bは均一な厚さとならない。その深さも、SOI領域から非SOI領域に向けて徐々に浅くなり、曲率をもって埋め込み酸化膜が形成される。このため、非SOI領域に生じる応力が軽減され、非SOI領域に導入される結晶欠陥を抑制することが可能となる。

#### 【0051】

(実施形態4)

本発明の実施形態にかかる半導体装置における電気的特性を、以下のように評価した。

#### 【0052】

図10を参照して、電気的特性の評価方法を説明する。まず、実施形態1乃至3で作製された部分SOI基板を用いて、前述の図6に示したように本発明の実施形態にかかる半導体装置を作製した。なお、境界領域Cの非SOI領域側端部から、pn接合までの距離dは、0μm、0.5μm、1μmと変化させた。さらに、ウェル電極28を基板1上に形成し、電源30を介してソース／ドレイン電極27と接続した。pn接合に2V～4Vの逆バイアスを印加して、1μA以上のリーク電流が流れた接合を不良とした。この不良の割合から、ソースドレインーウェル間の接合リーク電流特性を評価した。このとき、空乏層は、それぞれ約0.25μm～0.4μm伸びていた。

#### 【0053】

比較のため、図1(c)に示したような従来の部分SOI基板を用いた以外は同様の手法により、従来の半導体装置を作製して、同様にソースドレインーウェル間の接合リーク電流特性を評価した。

#### 【0054】

図11に、ソースドレインーウェル間の接合リーク電流特性を示す。本発明の実施形態にかかる半導体装置においては、いずれの部分SOI基板を用いた場合でも、不良の割合は2%～8%と少ない。これに対して、従来例の半導体装置では、50%～70%程度の不良が発生している。

#### 【0055】

また、境界領域の非SOI領域側端とソース／ドレイン領域との距離dは、大きい方が接合リーク電流は減少することがわかる。特に、境界領域の非SOI領域側端からソース／ドレイン領域までの距離dが0.5μm以上と大きい場合には、接合リーク電流の流れ

る接合は2%以下に減少した。

【0056】

以上の結果から、本発明の実施形態にかかる方法により作製された部分SOI基板は、バルクSi（非SOI）領域における欠陥が極めて少ないことが確認された。

【産業上の利用可能性】

【0057】

本発明により、非SOI領域の結晶性が良好な部分SOI基板を作製することができ、リーク電流の低減されたSOI MOSFETが得られる。

【図面の簡単な説明】

【0058】

【図1】従来の部分SOI基板の製造方法を表わす工程断面図。

【図2】本発明の一実施形態にかかる部分SOI基板の製造方法を表わす工程断面図。

。

【図3】本発明の一実施形態にかかる方法により製造された部分SOI基板を表わす断面図。

【図4】本発明の他の実施形態にかかる方法により製造された部分SOI基板を表わす断面図。

【図5】本発明の他の実施形態にかかる方法により製造された部分SOI基板を表わす断面図。

【図6】本発明の一実施形態にかかる半導体装置を表わす断面図。

【図7】本発明の他の実施形態にかかる部分SOI基板の製造方法を表わす工程断面図。

【図8】本発明の他の実施形態にかかる部分SOI基板の製造方法を表わす工程断面図。

【図9】本発明の他の実施形態にかかる部分SOI基板の製造方法を表わす工程断面図。

【図10】部分SOI基板を用いた半導体装置の電気的特性の評価方法を説明する図。

。

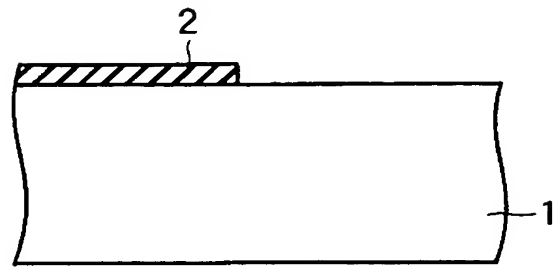
【図11】部分SOI基板を用いた半導体装置の電気的特性を表わすグラフ図。

【符号の説明】

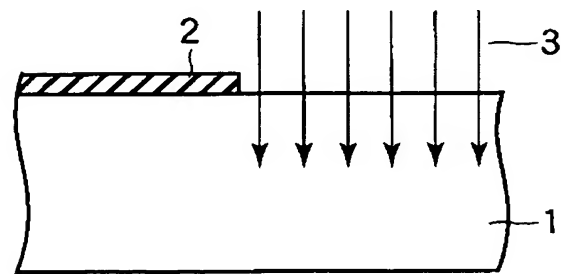
【0059】

1…シリコン基板，2…熱酸化膜マスク，3…酸素イオン，4…埋め込み酸化膜，4 a…第1の埋め込み酸化膜，4 b…第2の埋め込み酸化膜，5…SOI層，6…シリコン窒化膜，7…熱酸化膜（犠牲酸化），8…熱酸化膜（ITOX），11…SOI領域と非SOI領域との段差，12…結晶欠陥，21…ウェル，22…ソース／ドレイン領域，23…チャンネル，24…素子分離絶縁膜，25…ゲート酸化膜，26…ゲート電極，27…ソース／ドレイン電極，28…ウェル電極，30…電源，d…境界領域の非SOI領域側端からソース／ドレイン領域までの距離，A…バルクSi（非SOI）領域，B…SOI領域，C…境界領域，Z…露出領域。

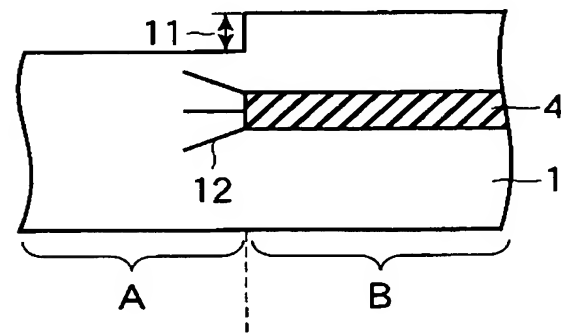
【書類名】 図面  
【図 1】



(a)

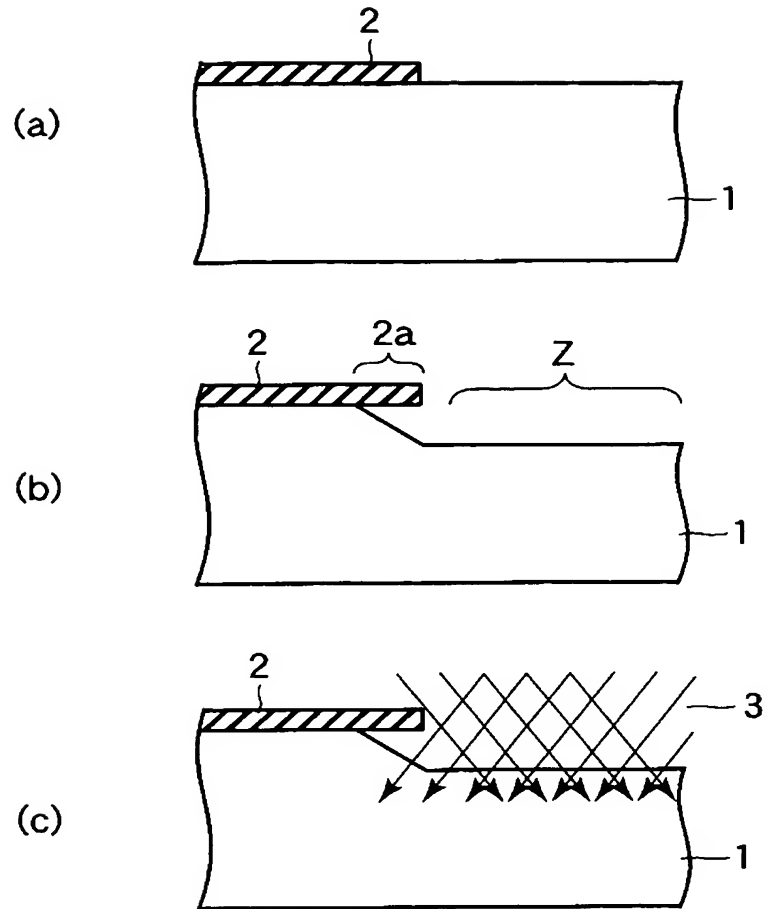


(b)

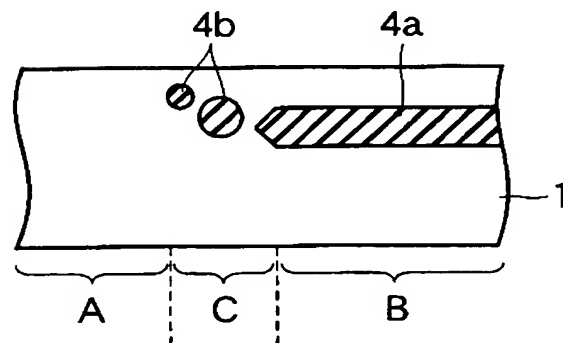


(c)

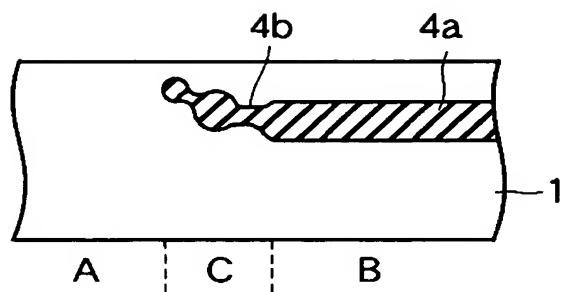
【図 2】



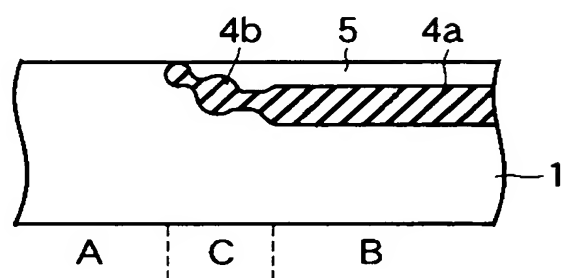
【図 3】



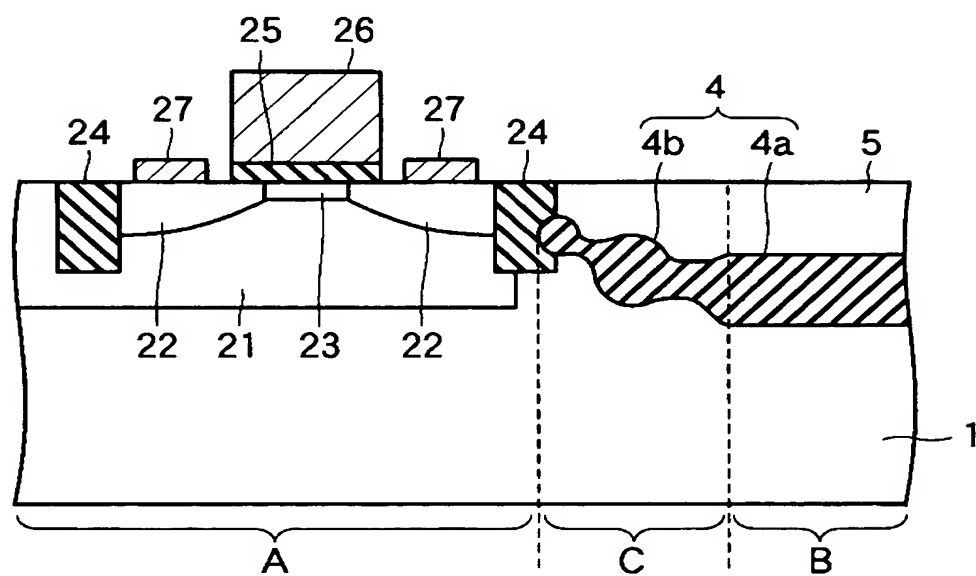
【図 4】



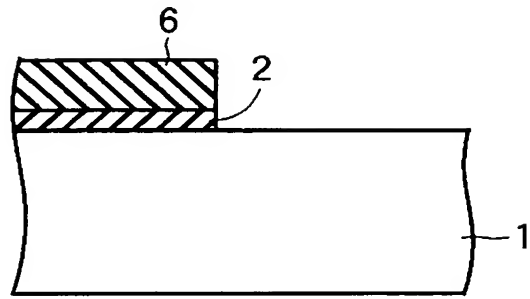
【図 5】



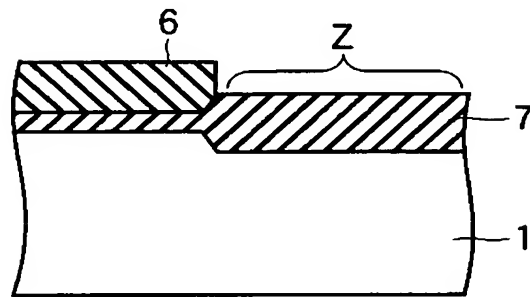
【図 6】



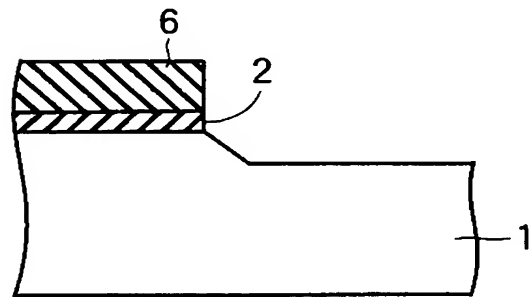
【図 7】



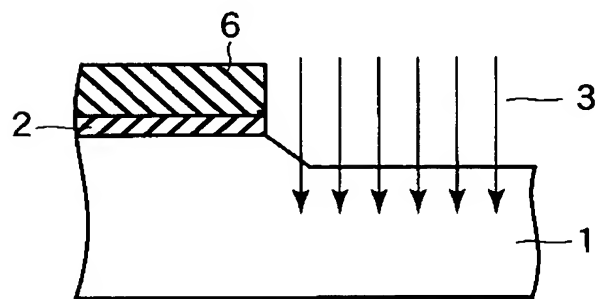
(a)



(b)



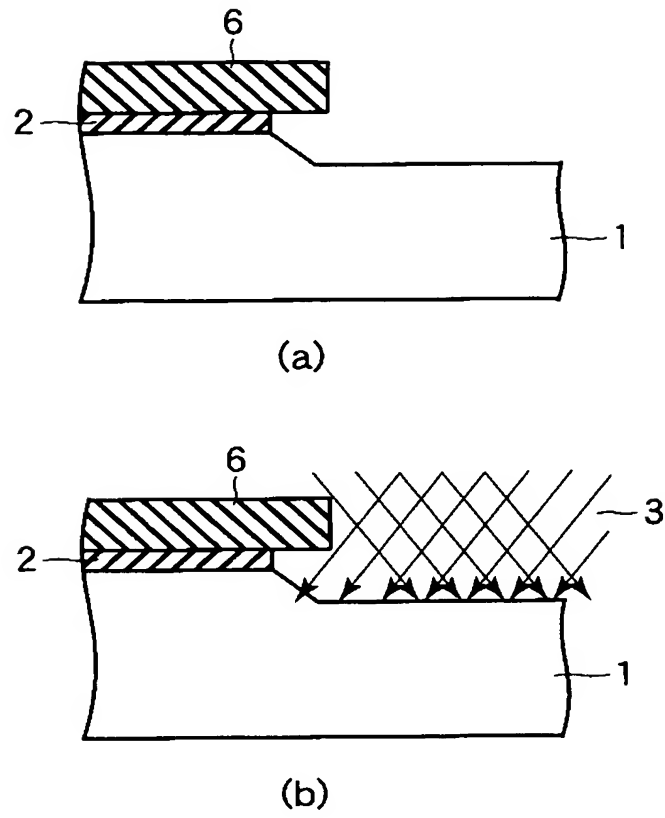
(c)



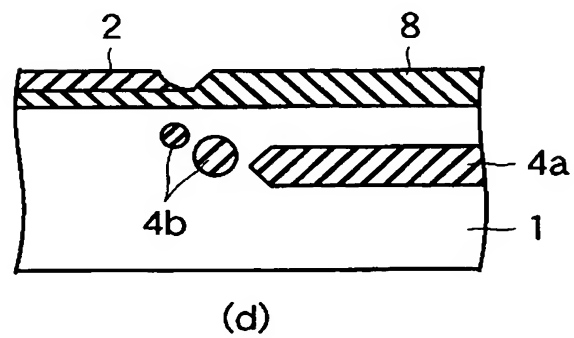
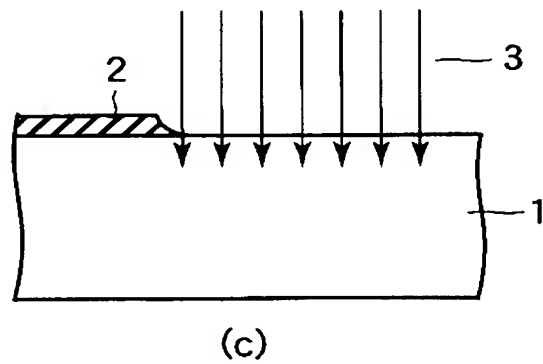
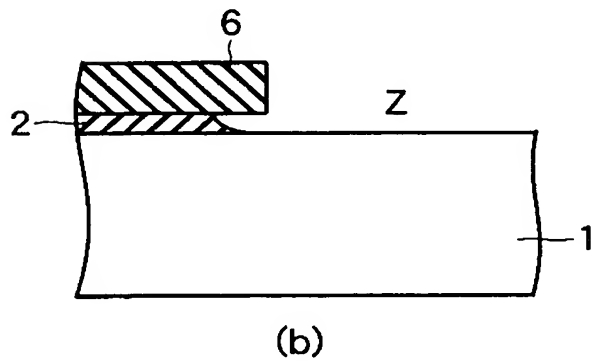
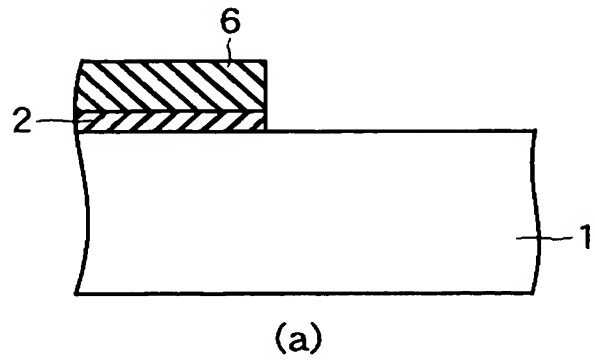
(d)



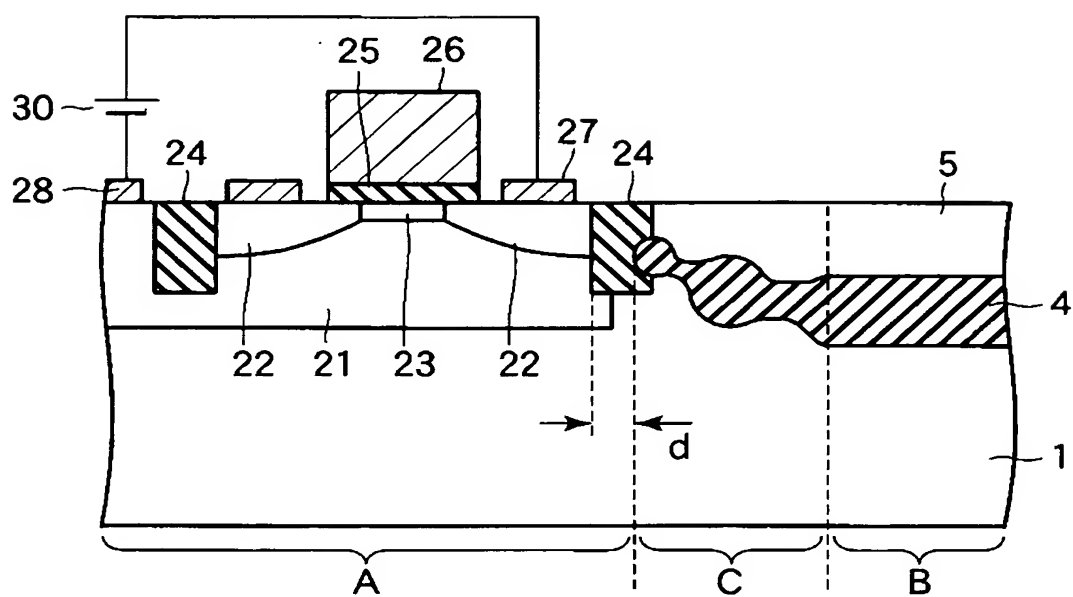
【図 8】



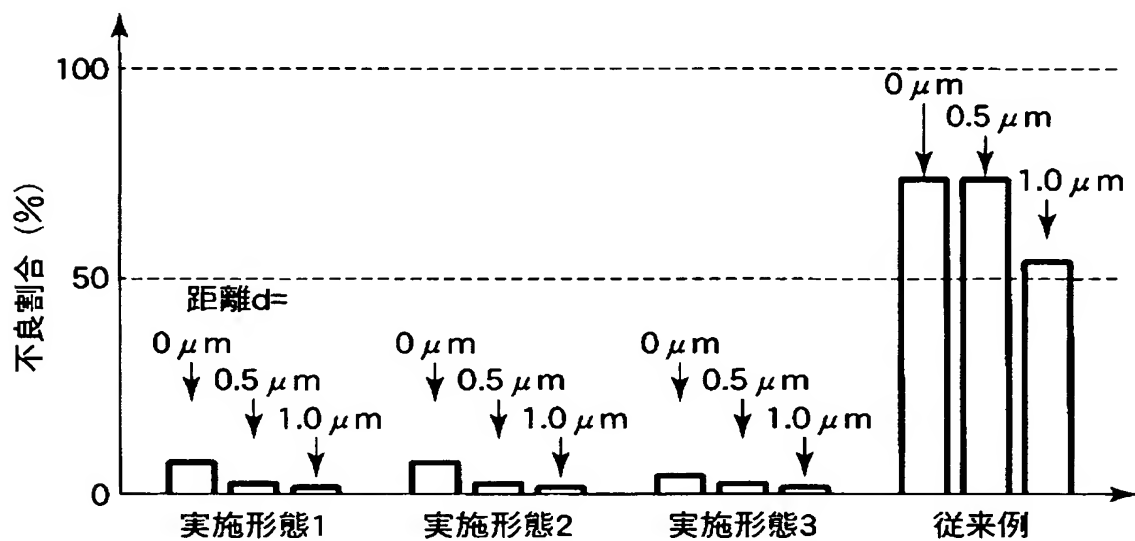
【図 9】



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 薄膜SOI基板上にMOSFETを有する高性能な半導体装置を提供する。

【解決手段】 第1の絶縁膜(4a)が埋め込まれたSOI領域(B)と、非SOI領域(A)とを有する半導体基板(1)、前記半導体基板の非SOI領域に離間して形成され素子領域を画定する一対の素子分離絶縁領域(24)、前記素子分離絶縁領域に接して前記素子領域に形成された一対の不純物拡散領域(22)、及び前記半導体基板上にゲート絶縁膜(25)を介して形成されたゲート電極(26)を具備する半導体装置である。前記半導体基板は、前記SOI領域と前記非SOI領域との間に、前記第1の絶縁膜より膜厚の薄い第2の絶縁膜(4b)が傾斜をもって埋め込まれた境界領域(C)を有し、前記第2の絶縁膜は、前記SOI領域側から前記非SOI領域側に向けて上昇し、前記第2の絶縁膜の膜厚は、前記SOI領域側から前記非SOI領域側に向けて減少していることを特徴とする。

【選択図】 図6

特願 2 0 0 3 - 2 8 3 4 7 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1 . 変 更 年 月 日

2 0 0 1 年    7 月    2 日

[ 変 更 理 由 ]

住 所 変 更

住    所

東 京 都 港 区 芝 浦 一 丁 目 1 番 1 号

氏    名

株 式 会 社 東 芝

.

.

.

.